

УДК 004.3

## ОРГАНИЗАЦИЯ И ПРИНЦИПЫ РАБОТЫ АППАРАТНОГО БУФЕРНОГО УСТРОЙСТВА ПАМЯТИ МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ

**А.И. Мартышкин**

кандидат технических наук, доцент кафедры вычислительных машин и систем, ФГБОУ ВО «Пензенский государственный технологический университет», г. Пенза, Россия, e-mail: [Alexey314@yandex.ru](mailto:Alexey314@yandex.ru)

**Аннотация.** В работе представлены структурная и функциональная организация аппаратного буферного устройства, предназначенного для быстрого доступа к памяти многопроцессорной системы. Благодаря применению этого модуля отчасти удается решить проблему «узких мест» вычислительной системы.

*Ключевые слова:* общая память, аппаратное буферное устройство, многопроцессорная система, синхронизация, буфер записи, буфер чтения.

## ORGANIZATION AND PRINCIPLES OF HARDWARE BUFFER DEVICE MEMORY OPERATION OF MULTIPROCESSOR SYSTEM

**A.I. Martyshkin**

Ph.D., Associate Professor of the Department of Computers and Systems, FGBOU VO "Penza State Technological University", Penza, Russia, e-mail: [Alexey314@yandex.ru](mailto:Alexey314@yandex.ru)

**Abstract.** The paper presents the structural and functional organization of a hardware buffer device intended for quick access to the memory of a multiprocessor system. Through the use of this module is partly possible to solve the problem of "bottlenecks" of the computer system.

*Keywords:* shared memory, hardware buffer, multiprocessor system, synchronization, write buffer, read buffer.

**Введение.** Рассматриваемая в работе многопроцессорная система (МПС) состоит из четырех основных блоков: шинный арбитр (ШАрб), аппаратное буферное устройство (АБУ) [1, 2], общая память и четыре одинаковых процессорных узла (ПУ).

**Цель работы.** В статье приводится вариант функциональной организации контроллера памяти многопроцессорной системы, необходимый для повышения пропускной способности общей шины вычислительной системы.

**Материал и результаты исследований.** Блок ПУ необходим для приема входной последовательности из канала связи, обработки данных, формирования управляющих сигналов. Он выполняет следующие функции:

прием и обработка входной последовательности; выполнение вычислений; формирование сигналов для работы арбитра шины, глобальной памяти и схемы вывода; прием и передача данных из буферного устройства.

Блок ШАрб необходим для управления общей шиной. В его состав входят: регистр запросов; схема выделения приоритетов; регистр приоритетов. Блок выполняет функции: обработка сигналов запроса шины от процессоров; разрешение или запрет доступа процессоров к общей шине в зависимости от ее текущего состояния (свободно / занято); выделение приоритетов процессорным модулям на захват шины.

Блок АБУ играет роль контроллера памяти. В его состав входят: буфер записи для накопления транзакций записи, поступающих от ПУ; буфер чтения для накопления транзакций чтения, поступающих из памяти по адресам, указанным ПУ; дешифратор адреса для выборки модулей памяти, в которые производится запись, или из которых производится чтение данных. АБУ выполняет функции: запись данных в буфер записи; чтение из буфера чтения в режиме расщепления транзакций; запись адреса в буфер записи; запись адреса в буфер чтения; выборка данных из буфера записи при совпадении адресов; слежение за переполнением буферов.

Блок общей памяти необходим для хранения промежуточных результатов вычислений. Он выполняет следующие функции: прием и хранение данных, полученных от АБУ, которое в свою очередь получает их от ПУ; передача данных в буферное устройство; управление чтением/записью.

Выделим и покажем (рисунок 1) основные функциональные блоки АБУ: блок добавления транзакции в очередь чтения; блок добавления транзакции в очередь записи; блок увеличения указателя на голову буфера чтения и увеличения очереди чтения; блок увеличения указателя на голову буфера записи и увеличения очереди записи; блок поиска данных в буфере записи при совпадении адресов с буфером чтения; блок чтения из памяти по указанному адресу; блок увеличения указателя на хвост очереди обработанных сообщений; блок записи в память по указанному адресу; блок увеличения указателя на хвост буфера записи; блок выдачи данных процессорному узлу, инициировавшему запрос на чтение.

Блок добавления транзакции в очередь чтения работает следующим образом. На внутренний регистр поступает 32-разрядный адрес от ПУ, по которому должны быть найдены данные. На другой внутренний регистр подается 2-разрядный идентификатор ПУ. Разрешающим сигналом для работы упомянутых регистров является поступившая комбинация сигналов  $\overline{TypeTrans} \& \overline{W} \& \overline{R} \& \overline{Sel}$ .

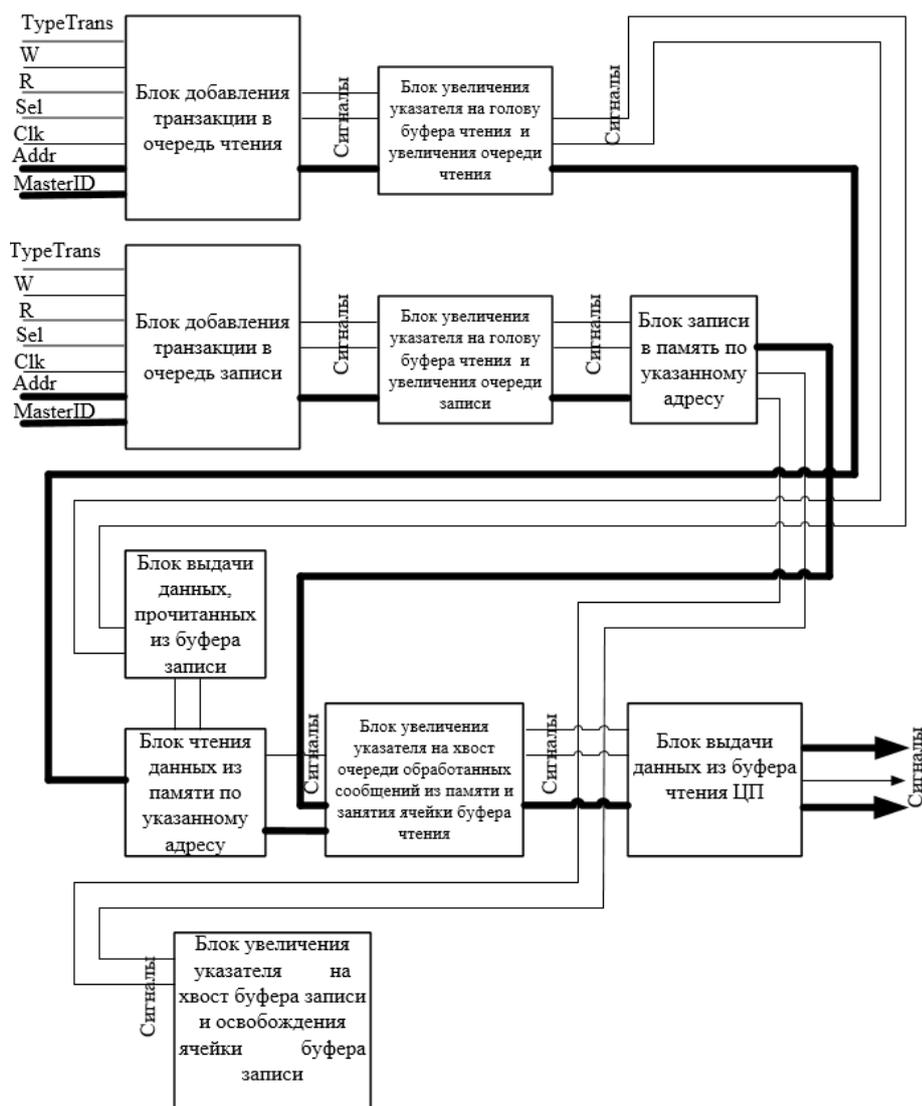


Рисунок 1 – Функциональные блоки АБУ

Блок добавления транзакции в очередь записи работает следующим образом. На внутренний регистр поступает 32-разрядный адрес от ПУ, по которому должны быть найдены данные. На другой регистр подается 32-разрядные данные от ПУ. Разрешением для работы указанных регистров является комбинация сигналов  $TypeTrans \& \bar{W} \& \bar{R} \& Sel$ .

Блок увеличения указателя на голову буфера чтения и увеличения очереди чтения работает следующим образом. Всю очередь заявок представим состоящей из «головой» очереди, «хвоста» очереди и указателя на ячейку в данный момент времени. При добавлении следующей заявки в очередь чтения «голова» увеличивается на единицу и вместе с тем увеличивается сама очередь чтения. Этот блок можно реализовать с помощью счетчиков.

Блок увеличения указателя на голову буфера записи и увеличения очереди записи аналогичен предыдущему блоку.

Блок поиска данных в буфере записи при совпадении адресов с буфером чтения. Данный блок можно реализовать на 32-х разрядном компараторе, на один вход которого подается адрес, выставленный ПУ в буфере чтения, на другой последовательно подаются адреса из буфера записи. При совпадении адресов ПУ возвращаются данные из буфера записи. Если же адреса не совпали, то необходимо обратиться к памяти по нужному адресу. Это действие производит блок чтения из памяти по указанному адресу. Он работает следующим образом. Из 32-разрядного регистра, где хранится адрес, выставленный ПУ, этот адрес поступает на выход АБУ и на адресные входы памяти. Два старших разряда адреса используются для выбора модуля памяти, откуда необходимо прочитать данные по указанному адресу. Подается сигнал чтения из памяти MemR, которые будет держаться в активном состоянии на протяжении 50 нс – время поиска данных в памяти по указанному адресу и чтение в АБУ. Данные сохраняются в регистре данных в буфере чтения, и когда ПУ, который инициировал операцию чтения, вновь подключится к шине для получения данных, из буфера чтения им будут считаны необходимые данные, предназначенные ему. Выдается сигнал Split(номер ПУ).

Блок увеличения указателя на хвост очереди обработанных сообщений работает следующим образом. Когда произошла операция чтения из памяти, то данные не сразу выдаются ПУ. Вначале создается так называемая «очередь обработанных сообщений». С каждой новой обработанной транзакцией увеличивается очередь обработанных сообщений. Данный блок можно реализовать, используя счетчик.

Блок записи в память по указанному адресу работает следующим образом. Из 32-разрядных регистров, где хранятся адрес и данные в буфере записи, происходит запись в память. Здесь также два старших разряда адреса используются для выбора модуля памяти, куда будут записываться данные. Подается сигнал записи в память MemW, который будет держаться в единичном состоянии на протяжении 10 нс – время записи данных в память.

Блок увеличения указателя на хвост буфера записи работает следующим образом. При записи в память указатель на хвост буфера увеличивается на единицу с каждой обработанной транзакцией. После этого в буфере записи освобождается одна ячейка.

Блок выдачи данных ПУ, инициировавшему запрос на чтение, работает следующим образом. Как только очередь готовых заявок сформирована, т.е. все заявки очереди обработаны, данные из памяти помещены в буфер чтения, то ПУ могут забирать заявки, предназначенные им. Данные из регистров поступают на выход DataRead, ПУ считывает данные.

В соответствии с показанной схемой и по описанным в [3, 4] алгоритмам работы АБУ функционал устройства был промоделирован в САПР ISE WebPack с получением временных диаграмм (рисунок 2), отражающих результаты, по которым можно говорить о правильном функционировании устройства.

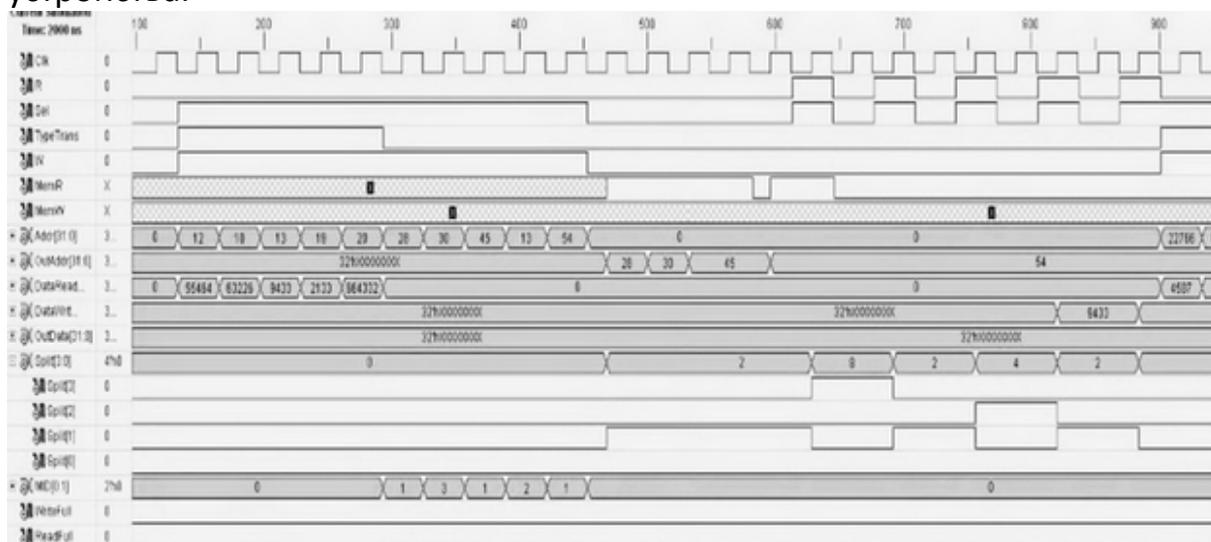


Рисунок 2 – Временные диаграммы работы АБУ памяти

**Вывод.** В результате использования АБУ, реализованного на ПЛИС, понижается нагрузка памяти, возрастает пропускная способность подсистемы «процессор-память» и быстродействие всей МПС в целом.

Работа выполнена при финансовой поддержке РФФИ (грант № 16-07-00012).

## ЛИТЕРАТУРА

1. Мартышкин А.И. Математическое моделирование аппаратного буфера памяти многопроцессорной системы // Сборник материалов XII Международной научно-технической конференции «Опτικο-электронные приборы и устройства в системах распознавания образов, обработки изображений и символьной информации. Распознавание-2015». Курск: Юго-Зап. гос. у-нт, – 2015. – С. 247-249.
2. Мартышкин А.И. Реализация аппаратного буфера памяти многопроцессорной системы // Труды XII Международной научно-технической конференции «Новые информационные технологии и системы». Пенза: ПГУ, – 2015. – С. 96-99.
3. Мартышкин А.И. Разработка аппаратного буферного устройства памяти многопроцессорной системы // *Фундаментальные исследования*. – 2015. – № 12-3. – С. 485-489.
4. Мартышкин А.И. Функциональная организация и алгоритмы работы аппаратного буферного устройства памяти многопроцессорной вычислительной системы. // *Фундаментальные исследования*. – 2016. – № 12-3. – С. 518-522.