

УДК 004.3

СПОСОБЫ ПОСТРОЕНИЯ ПОДСИСТЕМЫ ПАМЯТИ МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ

А.И. Мартышкин¹, А.А. Воронцов², К.М. Рябова³

^{1,2}кандидат технических наук, доцент кафедры вычислительных машин и систем, ФГБОУ ВО «Пензенский государственный технологический университет», Пенза, Россия

³студент группы 14ИВ1ба, ФГБОУ ВО «Пензенский государственный технологический университет», Пенза, Россия

¹e-mail: Alexey314@yandex.ru, ²e-mail: aleksander.vorontsov@gmail.com, ³e-mail: ri-abova.ksenija@yandex.ru

Аннотация. В статье приводится структура процессорного модуля и подсистемы памяти многопроцессорной системы. Подробно описан алгоритм работы памяти. В заключении сделаны выводы.

Ключевые слова: вычислительная система, многопроцессорная система, процессорный модуль, память, алгоритм, планировщик.

METHODS FOR CONSTRUCTING THE MEMORY SUBSYSTEM OF THE MULTIPROCESSOR SYSTEM

A.I. Martyshkin¹, A.A. Vorontsov², K.M. Riabova³

^{1,2}Ph.D., Associate Professor of the Department of Computers and Systems, FGBOU VO "Penza State Technological University", Penza, Russia

³Student of group 14IV1ba, FGBOU VO "Penza State Technological University", Penza, Russia

¹e-mail: Alexey314@yandex.ru, ²e-mail: aleksander.vorontsov@gmail.com, ³e-mail: ri-abova.ksenija@yandex.ru

Abstract. The article provides the structure of the processor module and subsystem memory multiprocessor system. More memory algorithm is described. Finally, conclusions are drawn.

Keywords: computing system, multiprocessor system, processor module, memory, algorithm, scheduler.

Введение. Для исследования многопроцессорных вычислительных систем (МПВС) на этапах проектирования возникает необходимость построения математических моделей (ММ). Совместное выполнение или вычисление модели и нагрузки позволяет получить выводы об исследуемых свойствах системы. Модели могут быть имитационными и аналитическими [1]. Для построения архитектуры МПВС воспользуемся иерархическим методом проектирования. При данном подходе структура системы и характеристики

её компонентов выводятся непосредственно из проектных спецификаций, результат получается с гарантией функционально корректным, а также удовлетворительным в плане результатов. Исследуемая МПВС относится к классу сильносвязных вычислительных систем.

Цель работы. Рассмотреть некоторые способы построения памяти многопроцессорной системы [2-4].

Материал и результаты исследований. МПВС представляет собой объединение группы процессорных модулей (ПМ), посредством высокоскоростной сети. Далее подробнее опишем структурную схему ПМ (рисунок 1), которая включает в себя процессор, кэш-память, оперативную память, устройство хранения страниц виртуальной памяти и коммуникационный адаптер для связи ПМ и совместного использования имеющихся в МПВС ресурсов. Также в ПМ могут входить различные устройства ввода-вывода.

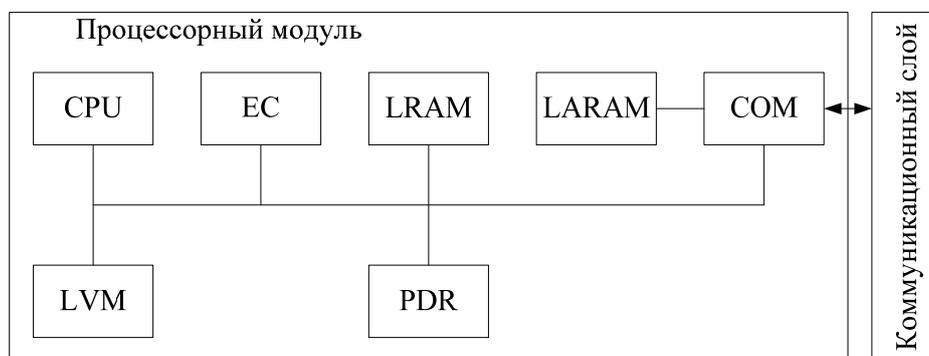


Рисунок 1 – Структура процессорного модуля

Здесь приняты обозначения: CPU – центральный процессор; EC – внешняя кэш-память; LRAM – локальное ОЗУ; LARAM – локальной ОЗУ коммуникационного адаптера; COM – коммуникационный адаптер; LVM – локальная виртуальная память; PDR – устройство ввода пользовательских программ.

Коммуникационный слой, который может иметь различные топологии, представляет собой высокоскоростную сеть, объединяющую ПМ. Объединение происходит на уровне памяти – физически различные устройства памяти каждого ПМ объединяются в логически единое адресное пространство с возможностью доступа каждого процессора в произвольное место общей памяти.

Работа памяти организована по принципу автоматически управляемой 4-х уровневой иерархии, в соответствии с рисунком 2.

Здесь приняты следующие обозначения: CPU1, CPU2 – процессоры модулей 1 и 2; EC1, EC2 – кэш-память модулей 1 и 2; LRAM1, LRAM2 – локальное ОЗУ модулей 1 и 2; LARAM1, LARAM2 – локальная память коммуникационных адаптеров 1 и 2, расположенных в соответствующих модулях; LVRAM1,

LVRAM2 – локальная виртуальная память для модулей 1 и 2. Каждый уровень памяти характеризуется рядом параметров: t_a – время доступа; M – размер памяти; s – размер блока памяти.

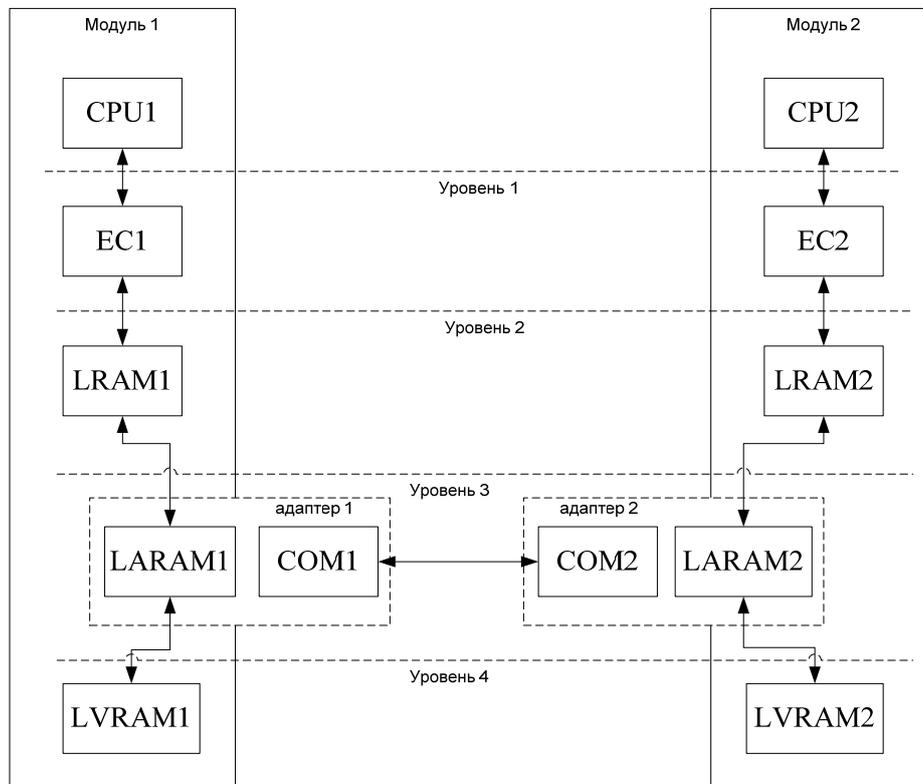


Рисунок 2 – Структура подсистемы памяти в многопроцессорной системе

Порядок работы памяти следующий: информация передается по запросу между локальным ОЗУ и кэш-памятью блоками размера s_0 , которые в общем случае являются делителями размера блоков s_1 . Отношение размера блока s_1 (страницы) к размеру блока s_0 (подстраницы) обычно равно степени числа 2. Если от CPU поступает ссылка на слово, не находящееся в кэш-памяти, подстраница, содержащая это слово, передается из локального ОЗУ в кэш-память. Если страница, содержащая подстраницу, на которую была ссылка, не находится в основной памяти, она должна быть извлечена из локальной памяти коммуникационного адаптера и загружена в основную память до того, как желаемая страница будет передана в кэш-память. При отсутствии необходимого блока в локальной памяти коммуникационного адаптера, он загружается туда из локальной виртуальной памяти. Если необходимый для загрузки свободный блок памяти уровня i отсутствует, то он освобождается, путем выгрузки выбранной страницы в память уровня $i+1$. Выбор блока для освобождения производится по произвольному алгоритму. Наиболее оптимальным на данный момент считается алгоритм LRU.

Объединение адресных пространств происходит при работе третьего уровня иерархии памяти. При запросе блока памяти из уровня 3, коммуникационный адаптер может предоставить этот блок, посредством запроса его из памяти другого процессорного модуля. Информация о местонахождении страницы находится в процессорном модуле, адресному пространству которого она принадлежит. Для уменьшения трафика она передается напрямую из текущего местоположения в место назначения.

Функцией планировщика памяти является отслеживание состояния основной памяти, выделение и перераспределение её заданиям, находящимся на обработке в системе. На планировщик памяти возложена также функция страничных замещений. Планировщик устанавливает число квантов, выделяемых заданию на пребывание в основной памяти. Работа планировщика управляется таблицей состояния памяти, которая содержит информацию о страницах каждого задания, и требуемые статические данные об их использовании. Планировщик обрабатывает два вида запросов: запрос на предоставление центральному процессору отсутствующей страницы и запрос на предоставление страницы памяти из другого процессорного модуля.

Вывод. В статье приведены структура процессорного модуля и подсистемы памяти в многопроцессорной системе. Описан алгоритм работы памяти.

Работа выполнена при финансовой поддержке РФФИ (грант № 16-07-00012).

ЛИТЕРАТУРА

1. Мартышкин А.И. К вопросу оценки времени обслуживания транзакций при обмене данными в многопроцессорных системах на основе общей шины с разделяемой памятью // Вестник Рязанского государственного радиотехнического университета. 2016. № 56. С. 90-98.
2. Мартышкин А.И. Математическое моделирование подсистемы памяти мультипроцессоров с буферным устройством с распределенными очередями на основе открытых сетей массового обслуживания // Информационные технологии. Радиоэлектроника. Телекоммуникации. 2016. № 6-2. С. 67-73.
3. Мартышкин А.И., Карасева Е.А. Исследование математических моделей для анализа многопроцессорных систем с архитектурами памяти NUMA и COMA // Информационные технологии. Радиоэлектроника. Телекоммуникации. 2016. № 6-2. С. 73-79.
4. Мартышкин А.И., Мартенс-Атюшев Д.С. Математическое моделирование подсистемы памяти мультипроцессоров с буферным устройством с единой очередью на основе открытых сетей массового обслуживания // Информационные технологии. Радиоэлектроника. Телекоммуникации. 2016. № 6-2. С. 79-85.