

УДК 519.872

К ВОПРОСУ ПОСТРОЕНИЯ РЕКОНФИГУРИРУЕМОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ НА БАЗЕ ПЛИС ДЛЯ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛА

А.И. Мартышкин¹, Д.С. Мартенс-Атюшев², Е.И. Маркин³

¹кандидат технических наук, доцент кафедры вычислительных машин и систем, ФГБОУ ВО «Пензенский государственный технологический университет», г. Пенза, Россия, e-mail: Alexey314@yandex.ru

²студент группы 15ИВ1м, ФГБОУ ВО «Пензенский государственный технологический университет», г. Пенза, Россия, e-mail: novoselich93@mail.ru

³студент группы 13ИВ1б, ФГБОУ ВО «Пензенский государственный технологический университет», г. Пенза, Россия, e-mail: evgeniymarkin1@gmail.com

Аннотация. В статье показана архитектура реконфигурируемой вычислительной системы. Выбрана архитектура системы ОКМД. Проводится отладка и тестирование разработанной ВС, которое включает в себя исследование производительности, временных характеристик, поиск способов возможности минимизации и оптимизации системы. Ведется поиск отечественной элементной базы. В работе для расчетов используется метод открытых стохастических систем массового обслуживания. Описание функционирования системы на аппаратном уровне производилось на языке VHDL. В конце приведены полученные результаты и выводы.

Ключевые слова: математическое моделирование, разомкнутые сети массового обслуживания, реконфигурируемая вычислительная система, процессор, диспетчер задач, ресурс, цифровая обработка сигнала, язык VHDL.

TO THE QUESTION OF BUILDING A RECONFIGURABLE COMPUTING SYSTEM AT THE FPGA BASIS FOR DIGITAL SIGNAL PROCESSING

A.I. Martyshkin¹, D.S. Martens-Atyushev², E.I. Markin³

¹Ph.D., Associate Professor of the Department of Computers and Systems, FGBOU VO "Penza State Technological University", Penza, Russia, e-mail: Alexey314@yandex.ru

²Student of group 15IV1m, FGBOU VO "Penza State Technological University", Penza, Russia, e-mail: novoselich93@mail.ru

³Student of group 13IV1b, FGBOU VO "Penza State Technological University", Penza, Russia, e-mail: evgeniymarkin1@gmail.com

Abstract. The article shows the architecture of a reconfigurable computer system. The architecture of the computer system SIMD. Debug and testing developed by Sun, which includes the study of performance, time characteristics, the possibility of finding ways to minimize and optimize the system. A search of the domestic element base. The paper used for the calculation of open method of open queuing systems. Description of the system was performed at the hardware level in language VHDL. At the end are the results and conclusions.

Keywords: mathematical modeling, open queuing network, reconfigurable system, processor, Task Manager, resource, digital signal processing, language VHDL.

Введение. В связи с доступностью и расширением микроэлектронной элементной базы, появляется возможность создавать многопроцессорные и многоядерные системы различной производительности, например, реконфигурируемую вычислительную систему (РВС) для цифровой обработки сигнала на программируемых логических интегральных схемах (ПЛИС). РВС обладает возможностью перестраивать свою архитектуру под различные классы задач, а именно: обучение и исследование ВВС, ЦОС, обработка графической информации (рентген, УЗИ, МРТ и т.д.) и обработка базы данных больниц, оцифровка карт, обработка картографических данных и т.д., интеллектуальные охранные системы (распознавание нарушителей, поиск по фотороботу потенциальных преступников), военные структуры и т.д.

Цель работы. Был рассмотрен ряд вопросов: исследована и разработана архитектура РВС. Для начальных исследований выбрана архитектура ВС «одиночный поток команд – множественный поток данных» (ОКМД). В структурах ВС с подобной организацией одно устройство осуществляет управление работой множества процессорных модулей, так что каждый из них одновременно выполняет сначала одну команду, затем вторую и т.д. Проводится отладка и тестирование разработанной ВС, которое включает в себя исследование производительности, временных характеристик, поиск способов минимизации и оптимизации системы. В связи с возникшей ситуацией в мире, как никогда необходимо импортозамещение, ведется поиск отечественной элементной базы. Можно использовать ПЛИС "Воронежского Завода Полупроводниковых Приборов-Сборка" ОАО "ВЗПП-С".

В настоящее время разработанная система спроектирована на ПЛИС ALTERA Cyclone IV. Исследования проводились на отладочной плате фирмы ZRtech, с помощью которой возможно моделирование системы в реальном режиме работы, что существенно облегчает разработку проекта.

В данной статье подробно опишем подсистему планирования и диспетчеризации, являющуюся составной частью предлагаемой высокопроизводительной системы, реализованной с применением ПЛИС [1-6].

Материал и результаты исследований. При проектировании многопроцессорных операционных систем появляется проблема уменьшения временных потерь, возникающих, в частности, при планировании процессов. Частью планировщика является функция диспетчеризации задач (процессов, потоков) при их назначении процессорным узлам. Реализация этой функции часто связана с необходимостью синхронизации взаимодействующих процессов. Обычно, в однопроцессорных системах, синхронизация

процессов осуществляется программным путем в пространстве ядра операционной системы или в пространстве пользователя и на производительность вычислительной системы коренным образом не влияет. В многопроцессорных системах относительные временные затраты на синхронизацию процессов увеличиваются. С достаточно высокой точностью можно допустить, что для одной и той же программы, выполняющейся в однопроцессорном и многопроцессорном режимах, временные затраты на синхронизацию процессов одинаковы. Относительные же временные затраты резко отличаются вследствие уменьшения времени выполнения параллельных потоков. Это объясняется тем, что та часть программы, которая связана с синхронизацией процессов, является последовательной и является фактором, снижающим производительность многопроцессорной системы. Поэтому в данной разработке диспетчер задач был реализован аппаратным путем, что в значительной степени снимает проблему временных потерь [7-9].

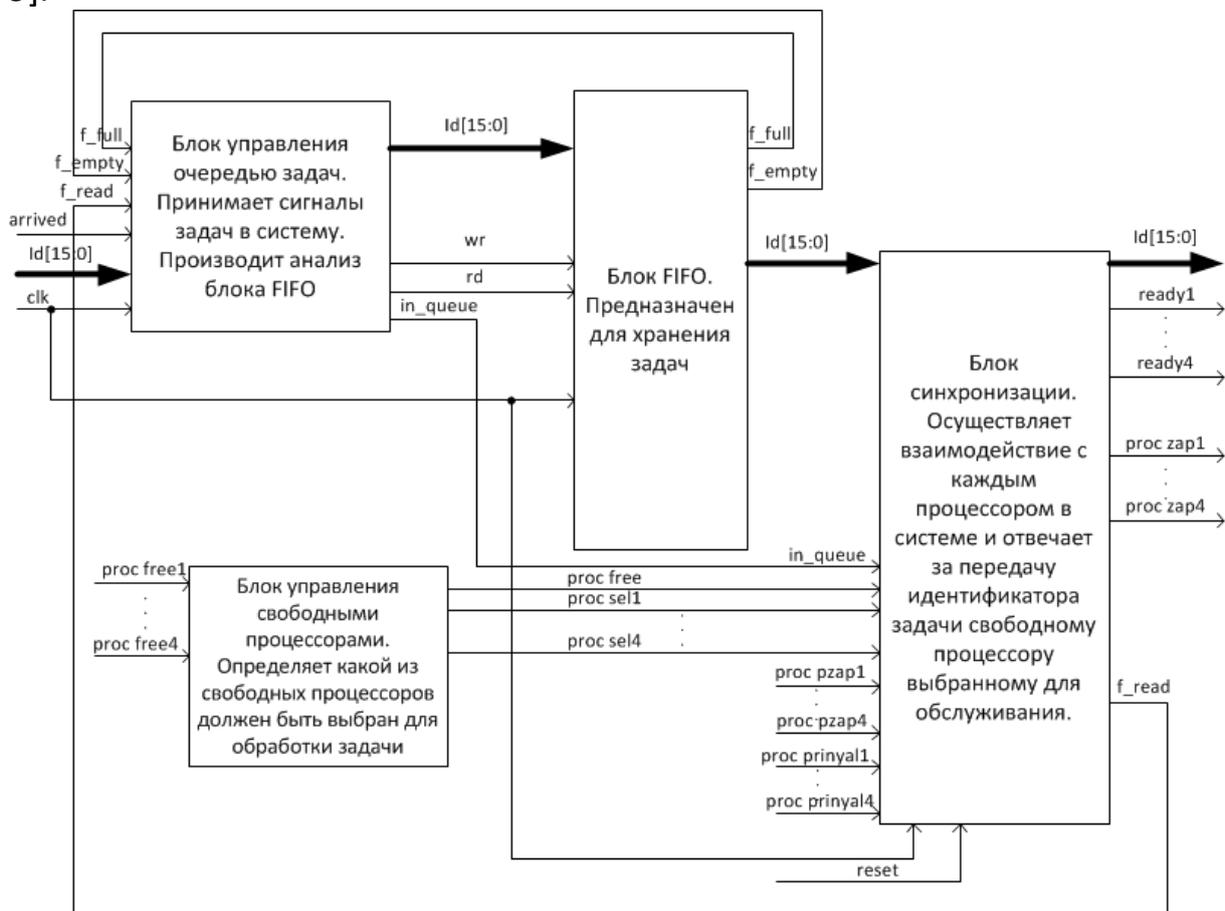


Рисунок 1 – Структурная схема блока диспетчера задач

На рисунке 1 представлены блоки:

Блок управления очередью задач – предназначен для приема идентификаторов задач в систему. Анализирует есть ли свободное место в очереди задач и, если есть, помещает идентификатор новой задачи в FIFO.

Также осуществляет выборку идентификатора задачи из очереди (по принципу FIFO) для обслуживания в свободном процессоре.

Блок FIFO для хранения задач – предназначен для хранения идентификаторов задач. По запросу от блока управления очередью помещает идентификатор новой задачи в конец списка или извлекает идентификатор задачи из вершины списка для передачи его в процессор.

Блок управления свободными процессорами – каждый процессор оказываясь свободным формирует на соответствующем вывод сигнал «Свободен». Данный блок принимает подобные сигналы от всех процессоров в системе, анализирует количество свободных процессоров, и определяет по схеме приоритетов какой из свободных процессоров должен быть выбран для обработки задачи.

Блок синхронизации – основной блок в системе, в функции которого входит анализ информации о том: есть ли ожидающие задачи в системе и есть ли свободные процессоры, которые можно назначить для обработки этих задач. Данный блок осуществляет взаимодействие с каждым процессором в системе и отвечает за передачу идентификатора задачи свободному процессору, выбранному для обслуживания в соответствии с определенной схемой приоритетов.

Алгоритм работы спроектированного диспетчера задач следующий:

Вновь поступившая задача помещается планировщиком в конец очереди, причем задачи, находящиеся вначале очереди, являются первыми на выполнение. Когда один из процессоров освобождается от текущей работы, он обращается к диспетчеру, который выбирает из начала очереди готовую к выполнению задачу и работает с ней до её завершения или до момента блокирования, например, вследствие необходимости выполнения операции ввода-вывода.

Алгоритм разделения загрузки представляет наиболее простой и одновременно эффективный способ планирования, поскольку обладает рядом достоинств: загрузка распределяется равномерно между процессорами, обеспечивая отсутствие простоев процессоров при наличии готовых к выполнению задач; простота представления и высокая степень понятности алгоритма функционирования планировщика, заключающаяся в том, что, когда процессор освобождается, он вызывает функцию назначения задач из операционной системы.

Блоки диспетчера спроектированы на языке описания аппаратуры VHDL. Для исследования так же были созданы блоки генерации задач и имитации работы процессоров.

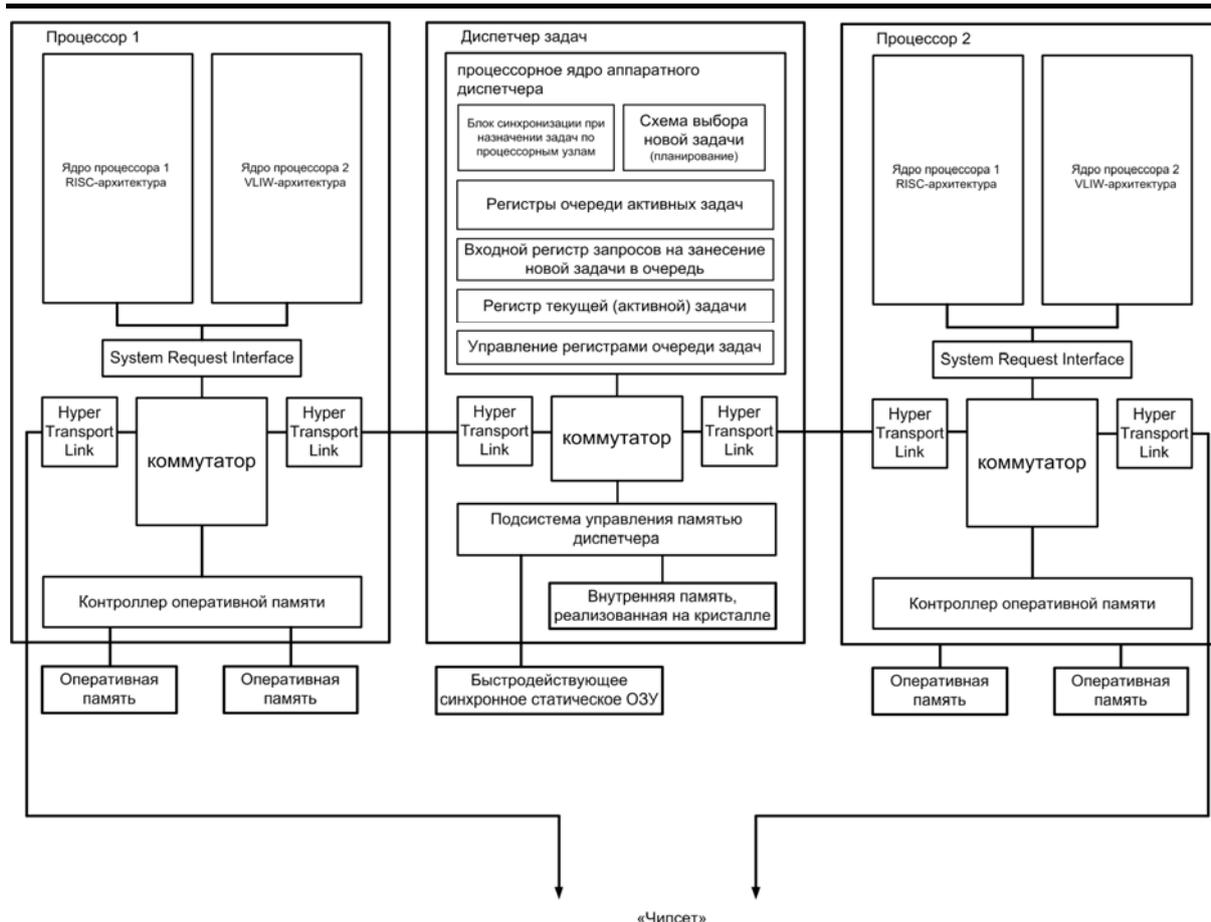


Рисунок 2 – Структурная схема PBC

На рисунке 2 представлено взаимодействие 2-х многоядерных процессоров и диспетчера задач. По данной схеме реализован макетный образец, на котором в данный момент проводятся исследования.

Для моделирования работы диспетчера задач была применена схема, изображенная на рисунке 1. Принято, что задачи поступают в систему с периодичностью в 5 тактов, любой процессор обслуживает одну задачу на протяжении 32 тактов. Временные диаграммы, полученные в результате проведенного моделирования, представлены на рисунке 3. Диспетчер успевает принимать и назначать все поступающие задачи. Он не перегружается ни на каком отрезке времени, способен обрабатывать и более интенсивный поток задач.

Вывод. Результатами проведенных исследований являются: разработана и исследована архитектура PBC; реализован и исследован диспетчер задач как отдельное устройство; получены временные диаграмма работы устройства.

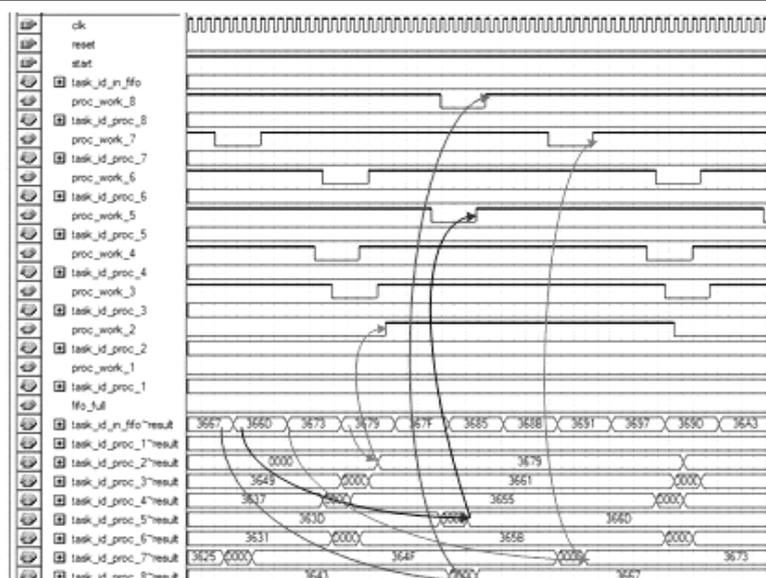


Рисунок 3 – Временные диаграммы работы системы

Работа выполнена при финансовой поддержке РФФИ (грант № 16-07-00012).

ЛИТЕРАТУРА

1. Мартенс-Атюшев Д.С., Мартышкин А.И. Разработка и исследование реконфигурируемого вычислительного кластера для цифровой обработки сигнала // *Современные информационные технологии*. 2015. № 21. С. 190-195.
2. Мартенс-Атюшев Д.С., Мартышкин А.И. Реконфигурируемый вычислительный кластер для цифровой обработки сигнала // В сборнике: *Современные методы и средства обработки пространственно-временных сигналов сборник статей XIII Всероссийской научно-технической конференции*. Под редакцией И.И. Сальникова. 2015. С. 112-117.
3. Мартенс-Атюшев Д.С., Мартышкин А.И. Разработка реконфигурируемой вычислительной системы для цифровой обработки сигнала // *Технические науки - от теории к практике*. 2015. № 52. С. 50-58.
4. Мартышкин А.И., Мартенс-Атюшев Д.С. Разработка подсистемы планирования и назначения задач реконфигурируемой вычислительной системы для цифровой обработки сигнала // В сборнике: *Современные методы и средства обработки пространственно-временных сигналов сборник статей XIV Всероссийской научно-технической конференции*. Под редакцией И.И. Сальникова. 2016. С. 115-119.
5. Мартенс-Атюшев Д.С., Мартышкин А.И. Разработка и исследование реконфигурируемой системы для цифровой обработки сигнала // *Международный студенческий научный вестник*. 2016. № 3-1. С. 86-88.
6. Воронцов А.А., Мартенс-Атюшев Д.С. Разработка и исследование реконфигурируемой вычислительной системы для цифровой обработки сигнала // *Инновации в науке*. 2016. № 54. С. 174-179.
7. Мартенс-Атюшев Д.С. Разработка и исследование подсистемы диспетчеризации задач реконфигурируемой вычислительной системы для цифровой обработки сигнала // В сборнике: *Информационные технологии в экономических и технических задачах*

Сборник научных трудов Международной научно-практической конференции. 2016. С. 247-250.

8. Мартенс-Атюшев Д.С. Исследование подсистемы планирования и назначения задач реконфигурируемой вычислительной системы для цифровой обработки сигнала // XXI век: итоги прошлого и проблемы настоящего плюс. 2016. № 3 (31). С. 184-190.

9. Сальников И.И., Мартенс-Атюшев Д.С. Исследование варианта реализации подсистемы планирования и назначения задач реконфигурируемой вычислительной системы для цифровой обработки сигнала // Модели, системы, сети в экономике, технике, природе и обществе. 2016. № 2 (18). С. 261-267.

УДК 621.713

ЙМОВІРНІСНИЙ МЕТОД АНАЛІЗУ ПЕРЕХІДНОЇ ПОСАДКИ ТА ЙОГО РЕАЛІЗАЦІЯ У ПРОГРАМІ MATHCAD

О.М. Мікяшко¹, О.М. Теліпко² С.Т. Пацера³

¹ студент гр. ІМмм-15-1, Державний вищий навчальний заклад «Національний гірничий університет», м. Дніпро, Україна, e-mail: Zevs1224@bk.ru

² студент гр. ІМмм-15-1, Державний вищий навчальний заклад «Національний гірничий університет», м. Дніпро, Україна, e-mail: s.telipko@mail.ru

³ кандидат технічних наук, професор кафедри гірничого машинобудування, Державний вищий навчальний заклад «Національний гірничий університет», м. Дніпро, Україна, e-mail: sergei.patsera@yandex.ua

Анотація. Виконано аналіз перехідної посадки з метою визначення відсотків спряжень із зазором чи з натягом. Застосовано ймовірнісний метод аналізу з програмною реалізацією у Mathcad. Одержано результати моделювання для різних рівнів точності технологічного процесу.

Ключові слова: посадка, зазор, натяг, моделювання, ймовірнісний метод, Mathcad.

PROBABILISTIC METHOD FOR THE ANALYSIS OF THE TRANSITION FIT AND ITS IMPLEMENTATION IN THE PROGRAM MATHCAD

R. Mikyashko¹, O. Telipko² S. Patsera³

¹Student group ІМмм-15-1, National mining university, Dnipro, Ukraine, e-mail Zevs1224@bk.ru

²Student group ІМмм-15-1, National mining university, Dnipro, Ukraine, e-mail s.telipko@mail.ru

³Ph.D., Professor of technology of mining machinery, National mining University, Dnipro, Ukraine, e-mail: sergei.patsera@yandex.ua

Abstract. The analysis of the transitional fit to determine percent mates with a clearance or with an interference fit. Applied probabilistic analysis method with a software